

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-025042

(43)Date of publication of application : 09.02.1982

(51)Int.Cl.

G06F 9/22
G06F 9/30

(21)Application number : 55-100113

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.07.1980

(72)Inventor : TACHIKAKE SHINICHI

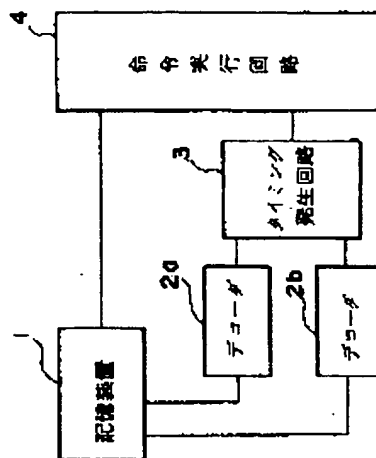
(54) MICROPROCESSOR

(57)Abstract:

PURPOSE: To minimize a dead and idle time for processing, by providing an instruction executing time field consisting of information which is required for deciding an executing time of the instruction, on an instruction and executed by a microprocessor.

CONSTITUTION: An instruction kind discriminating field contained in an instruction word which has been outputted from a memory device 1 is decoded by a decoder 2a, its instruction is classified into kinds such as operation, transfer, etc., also an instruction executing time field contained in the instruction word is decoded by a decoder 2b, and length of an executing time of that instruction is classified. In accordance with outputs of the decoders 2a, 2b, a

timing generating circuit 3 decides length of an executing time of the instruction, provides an instruction executing control pulse to an instruction executing circuit 4, and processing indicated by the instruction word is executed. In this way, as for this microprocessor, its executing time is decided at every instruction, a dead and idle time is minimized, and a maximum processing speed is displayed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other
than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

① 日本国特許庁 (JP)

② 特許出願公開

③ 公開特許公報 (A)

昭57-25042

④ Int. Cl.³
G 06 F 9/22
9/30

識別記号

庁内整理番号
8120-5B
6745-5B

⑤ 公開 昭和57年(1982)2月9日

発明の数 1
審査請求 未請求

(全 2 頁)

⑥ マイクロプロセッサ

株式会社計算機製作所内

⑦ 特 願 昭55-100113

⑧ 出 願 人 三菱電機株式会社

⑨ 出 願 昭55(1980)7月22日

東京都千代田区丸の内2丁目2

⑩ 発 明 者 太刀樹伸一

番3号

⑪ 代 理 人 弁理士 葛野信一 外1名

鎌倉市上町屋325番地三菱電機

明 細 書

1. 発明の名称

マイクロプロセッサ

2. 特許請求の範囲

命令群中にその命令の種類を示す情報とその命令の実行時刻を示す情報を含むマイクロ命令を入力して上記命令の種類を分類する第1のデコーダと、上記マイクロ命令を入力して上記命令の実行時間の長さを分類する第2のデコーダと、上記第1のデコーダの出力及び上記第2のデコーダの出力を入力し上記マイクロ命令の実行制御パルスを生成するタイミング発生回路と、このタイミング発生回路の出力により定められる時間内に当該マイクロ命令を実行する命令実行回路とを備えたマイクロプロセッサ。

3. 発明の詳細な説明

この発明はマイクロプロセッサに関するものである。

マイクロプロセッサは、命令の取り出し、命令の解説、命令の実行、結果の格納の手順を1周期として、これを繰り返すことにより処理を行う。これらの各ステップは、さらに細かいステップに分割されて、ほとんどどの場合マイクロプログラム制御により実行され、命令の種類によつてその1周期の時間が異なる。

従来のマイクロプロセッサでは、制御装置によつて、無条件分岐、条件付分岐、演算、転送などの命令群ごとに命令の実行時間が規定されていた。しかし、ひとつの種類別の命令群の中には、実行終了までの時間の異なるものがいろいろとあるため、そのうちの最も長い実行時間を必要とする命令に合わせて、その命令群の実行時間が決められていた。例えば、演算命令の場合、演算が論理和、論理積のようにビット対ビットで行われるものは早く終るが、乗算加算、乗算減算ではビット対ビットの演算のほかに桁上げ、桁借りがあり、繰り越しのビット位置の演算が終るまで次のビット位置の演算が始まらないうえ、ビット位置の順次演算が必要で、

演算の終了が遅くなるので、演算命令群の実行時間は算術演算命令を実行できる長さに定められる。

したがって、従来のマイクロプロセッサでは、各命令群の中の早く処理の終る命令では、無駄な遊び時間を費すため、処理速度を充分に高めることができない欠点があつた。

この発明は、従来のマイクロプロセッサにおける上述の欠点を除去することを目的とするものである。

この発明においては、マイクロプロセッサにおいて実行される命令群中に、制御装置がその命令の実行時間の長さを決定するのに必要な情報よりなる命令実行時間フィールドを設け、命令実行の際にこれを用いて制御装置が実行時間を決定する。

図面はこの発明によるマイクロプロセッサの一実施例を示すもので、図において、11は命令を保持する記憶装置、(2a)は命令の種類を分類する第1のデコード、(2b)は上記命令実行時間フィールドによつて命令実行時間の長さを分類する第2のデコード、13は命令の実行制御パルスを生成する

タイミング発生回路、14は命令を実行する命令実行回路である。

以上のように構成された装置において、まず記憶装置11から取り出された命令群中の命令種類識別フィールドを第1のデコード(2a)で解釈してその命令を上記演算、転送などの種類によつて分類し、さらに命令群中の命令実行時間フィールドを第2のデコード(2b)で解釈してその命令の実行時間の長さを分類する。これら第1、第2のデコード(2a),(2b)の出力にしたがいタイミング発生回路13は命令実行時間の長さを決定し、命令実行制御パルスを命令実行回路14に与え、命令群の指示する処理を行わせる。

ここで、命令群に設ける命令実行時間フィールドは、命令の種類、命令の指示する処理内容、処理の対象となる情報を保持するレジスタの種類などを充分に吟味して、命令を実行するために必要な最小時間を求め、命令の実行時間がこの値となるように設定する。

以上のように、この発明のマイクロプロセッサ

では、個々の命令ごとに実行時間を定めるようにしたので、無駄な遊び時間が最小となり、マイクロプロセッサのもつ処理速度を最大に発揮させることができる。

4. 図面の簡単な説明

図面はこの発明の一実施例を示すブロック図である。

図において11は記憶装置、(2a),(2b)はそれぞれ第1、第2のデコード、13はタイミング発生回路、14は命令実行回路である。

代理人 馬 野 信 一

